

10 / 529000

31 MAR 2005

PCT/DE 03 / 03355

**BUNDESREPUBLIK DEUTSCHLAND**

**PRIORITY  
DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)



REC'D 10 NOV 2003

WIPO PCT

**PRIORITY**

**Prioritätsbescheinigung über die Einreichung  
einer Patentanmeldung**

**Aktenzeichen:**

102 48 722.7

**Anmeldetag:**

18. Oktober 2002

**Anmelder/Inhaber:**

Infineon Technologies AG, München/DE

**Bezeichnung:**Integrierte Schaltungsanordnung mit Kondensator  
und Herstellungsverfahren**IPC:**

H 01 L 27/108

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-  
sprünglichen Unterlagen dieser Patentanmeldung.

München, den 23. Oktober 2003  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

Wehner



6

1

## Beschreibung

## Integrierte Schaltungsanordnung mit Kondensator und Herstellungsverfahren

5

Die Erfindung betrifft eine integrierte Schaltungsanordnung, die einen elektrisch isolierenden Isolierbereich und mindestens einen Kondensator enthält. Der Kondensator wird aus einer Bereichsfolge gebildet, die in der angegebenen Reihenfolge enthält:

10

- einen isolierbereichsnahen Elektrodenbereich,
- einen dielektrischen Bereich, und
- einen isolierbereichsfernen Elektrodenbereich.

15

Der elektrisch isolierende Isolierbereich besteht beispielsweise aus einem elektrisch isolierenden Material mit einem spezifischen Widerstand größer als  $10^{12} \Omega\text{cm}$  (Ohm mal Zentimeter) bei  $20^\circ\text{C}$  Raumtemperatur, z.B. aus einem Oxid, insbesondere Siliziumdioxid. Der Elektrodenbereich enthält beispielsweise

20

ein Metall mit einem spezifischen elektrischen Widerstand kleiner als  $10^{-4} \Omega\text{cm}$  bei  $20^\circ\text{C}$  Raumtemperatur. Alternativ enthalten die Elektrodenbereiche beispielsweise polykristallines Silizium, das hochdotiert ist. Der dielektrische Bereich besteht ebenfalls aus einem elektrisch isolierenden Material, z.B. aus einem Oxid, insbesondere Siliziumdioxid, das eine Dielektrizitätskonstante von etwa 3,9 hat. Jedoch werden auch dielektrische Materialien mit einer wesentlich größeren Dielektrizitätskonstante im dielektrischen Bereich verwendet.

30

Es ist Aufgabe der Erfindung, eine einfach herzustellende integrierte Schaltungsanordnung mit Kondensator anzugeben. Die Schaltungsanordnung soll insbesondere mit einer kleinen Anzahl von Prozessschritten und insbesondere unter Verwendung weniger lithografischer Masken herstellbar sein. Außerdem soll ein einfaches Herstellungsverfahren für eine integrierte Schaltungsanordnung mit Kondensator angegeben werden.

35

Die auf die Schaltungsanordnung bezogene Aufgabe wird durch eine integrierte Schaltungsanordnung mit den im Patentanspruch 1 angegebenen Merkmalen gelöst. Weiterbildungen sind  
5 in den Unteransprüchen angegeben.

Bei der erfindungsgemäßen Schaltungsanordnung ist der Isolierbereich Bestandteil einer in einer Ebene angeordneten Isolierschicht. Der Kondensator und mindestens ein aktives  
10 Bauelement der integrierten Schaltungsanordnung, vorzugsweise alle aktiven Bauelemente der integrierten Schaltungsanordnung, liegen auf der gleichen Seite der Isolierschicht. Außerdem sind der isolierbereichsnahe Elektrodenbereich und der aktive Bereich des Bauelementes in einer Ebene angeordnet,  
15 die parallel zu der Ebene liegt, in der die Isolierschicht angeordnet ist.

Die erfindungsgemäße Schaltungsanordnung ist einfach aufgebaut und lässt sich auf einfache Art herstellen, weil sich  
20 der isolierbereichsnahe Elektrodenbereich und der aktive Bereich in einer Ebene befinden. Außerdem ist der isolierbereichsnahe Elektrodenbereich und auch der aktive Bereich durch den Isolierbereich isoliert. An beide Elektrodenbereiche des Kondensators sind so frei wählbare Potentiale anlegbar.

Der Kondensator hat außerdem hervorragende elektronische Eigenschaften:

- 30 - Das Verhältnis zwischen parasitären Kapazitäten und Widerständen in Bezug zur Nutzkapazität ist klein, wobei unterschiedliche differentielle Kapazitäten auf Raumladungszonen zurückzuführen sind. Bei analogen Kapazitäten ist die differentielle Kapazität die im Arbeitspunkt wirksame Kapazität.
- 35 - die Leckströme sind klein,
- die differenzielle Nichtlinearität der Kapazität ist klein,

- die Kapazität ist über einen weiten Arbeitspunktbereich konstant,
- das erzielbare Kapazitäts-Flächen-Verhältnis ist groß, beispielsweise mehr als zehn Femtofarad je Quadratmikrometer oder sogar größer als zwanzig Femtofarad je Quadratmikrometer.

10 Außerdem ist zwischen den aktiven Bauelementen und dem Kondensator keine weitere Schicht oder weitere Schichtenfolge erforderlich. Dies ermöglicht es, die Anzahl der erforderlichen Schichten zu verringern und die Planarität der integrierten Schaltungsanordnung zu erhöhen.

15 Bei einer Weiterbildung sind der isolierbereichsnahe Elektrodenbereich und der aktive Bereich Halbleiterbereiche, die ein Halbleitermaterial enthalten, d.h. ein Material mit einem spezifischen elektrischen Widerstand zwischen  $10^{-5}$  und  $10^{+12}$   $\Omega\text{cm}$ , insbesondere zwischen  $10^{-6}$  und  $10^{+10}$   $\Omega\text{cm}$ , z.B. Germanium, Silizium oder Galliumarsenid. Der spezifische Widerstand des  
20 isolierbereichsnahen Elektrodenbereiches des Kondensators wird bei einer Ausgestaltung durch eine Dotierung verringert.

Bei einer Weiterbildung der Schaltungsanordnung sind der isolierbereichsnahe Elektrodenbereich und der aktive Bereich einkristalline Bereiche, die ggf. dotiert sind. Die elektrischen Eigenschaften von aktiven Bauelementen in einkristallinen Schichten sind besonders gut. Außerdem lässt sich der elektrische Widerstand einer einkristallinen Elektrode des Kondensators durch Dotierung besonders gut verringern. Bei  
30 einer Ausgestaltung hat der isolierbereichsnahe Elektrodenbereich und auch der aktive Bereich eine Dicke kleiner als einhundert Nanometer oder sogar kleiner als fünfzig Nanometer. In solchen dünnen Halbleiterschichten lassen sich auf besonders einfache Art und Weise aktive Bauelemente erzeugen,  
35 die eine sehr kurze Kanallänge haben.

Bei einer nächsten Weiterbildung grenzt die Isolierschicht an ein Trägersubstrat an, wie es bei einem sogenannten SOI-Substrat (Silicon On Insulator) der Fall ist. Derartige Substrate lassen sich auf einfache Art und Weise herstellen.  
5 Außerdem haben die elektronischen Schaltungen, die auf diesen Substraten angeordnet werden, besonders gute elektronische Eigenschaften.

Bei einer nächsten Weiterbildung sind der dielektrische Bereich und der isolierbereichsferne Elektrodenbereich an mindestens zwei Seitenflächen des isolierbereichsnahen Elektrodenbereiches angeordnet. Durch diese Maßnahme lässt sich die Kapazität des Kondensators auf einfache Art erhöhen. Liegen die Seitenflächen quer zum Trägersubstrat, so wird für die  
10 Vergrößerung der Kapazität keine oder nur eine kleine zusätzliche Chipfläche benötigt. Eine weitere Maßnahme zum Vergrößern der Kapazität besteht darin, dass die Elektrodenbereiche eine Vielzahl von ineinandergreifenden Stegen enthalten. Die Steghöhe ist vorzugsweise größer als die Stegbreite.  
15

20

Bei einer anderen Weiterbildung ist das aktive Bauelement ein Feldeffekttransistor:

- der Kanalbereich des Feldeffekttransistors ist der aktive Bereich. Ist der Kanalbereich undotiert, so ergeben sich insbesondere bei sehr kurzen Kanallängen von beispielsweise zehn Nanometern besonders gute elektronische Eigenschaften.
- Die Steuerelektrode des Feldeffekttransistors ist Bestandteil einer strukturierten Elektroden-schicht, in der  
30 auch der isolierbereichsferne Elektrodenbereich des Kondensators angeordnet ist. Die Steuerelektrode und der isolierbereichsferne Elektrodenbereich bestehen aus dem gleichen Material. Auch die Dicke dieser Bereiche und deren Dotierstoffkonzentration stimmen überein.
- 35 - Ein Steuerelektrodenisolationsbereich des Feldeffekttransistors besteht bei einer Ausgestaltung aus dem gleichen

Material wie der dielektrische Bereich des Kondensators.  
Auch die Dicke dieser Bereiche stimmt überein.

Durch diese Maßnahme sind für die Herstellung des Kondensators und zur Herstellung des Feldeffekttransistors nur drei Schichterzeugungsprozesse erforderlich. Die Bereiche des Feldeffekttransistors und des Kondensators, die in der gleichen Schicht liegen, lassen sich gemeinsam strukturieren. Eine zusätzliche Maske zur Herstellung des Kondensators ist nur dann erforderlich, wenn der untere Elektrodenbereich des Kondensators anders dotiert wird als der Kanalbereich des Feldeffekttransistors. Eine weitere zusätzliche Maske ist nur dann erforderlich, wenn sich die Materialien und/oder die Isolierdicken des Steuerelektrodenisolierbereiches und des dielektrischen Bereiches des Kondensators unterscheiden. Aber selbst dann ist die zur Herstellung der Schaltungsanordnung erforderliche Anzahl der Masken noch klein.

Bei einer nächsten Weiterbildung enthält der Feldeffekttransistor einen Steg bzw. eine Finne. An einander gegenüberliegenden Seiten des Steges sind Steuerelektroden angeordnet. Auf diese Weise entsteht ein Feldeffekttransistor mit hervorragenden Steuereigenschaften, beispielsweise ein sogenannter FinFET.

Bei einer Weiterbildung gibt es einen Verbindungsbereich, der die Steuerelektroden elektrisch leitend verbindet. Bei einer Ausgestaltung ist der Verbindungsbereich vom Kanalbereich durch einen Isolierbereich getrennt, dessen Isolierstärke größer ist als die Isolierstärke des Steuerelektrodenisolierbereiches. Durch diese Maßnahmen lassen sich Kanteneffekte bei der Steuerung des Transistors vermeiden.

Bei einer anderen Ausgestaltung grenzt die Steuerelektrode an einen Silizidbereich an. Durch diese Maßnahme lässt sich die Steuerelektrode leichter kontaktieren. Außerdem verringert sich der Anschlusswiderstand und der Schichtwiderstand.

Bei einer nächsten Weiterbildung der erfindungsgemäßen Schaltungsanordnung grenzen Anschlussbereiche des Feldeffekttransistors an die Isolierschicht. Bei einer Ausgestaltung grenzen die Anschlussbereiche ebenfalls an Silizidbereiche. Ausreichend Material für die Silizidbildung ist dann vorhanden, wenn die Halbleiterschicht im Bereich der Anschlussbereiche sowohl vor als auch nach der Silizidbildung eine größere Dicke hat als im Bereich der isolierbereichsnahen Elektrode.

Bei einer nächsten Weiterbildung sind beidseitig der Steuerelektroden Abstandshalter angeordnet, die auch ein anderes Material enthalten oder aus einem anderen Material bestehen als die Elektrodenschicht, insbesondere einem Material, das nicht als Ausgangspunkt für ein Epitaxieschichtwachstum bei einem Epitaxieverfahren zum Erzeugen einer Halbleiter-epitaxieschicht geeignet ist, beispielsweise aus Siliziumnitrid. Durch die Verwendung der Abstandshalter werden Seitenbereiche der Steuerelektrode bedeckt, so dass von dort keine Epitaxie ausgehen kann und Kurzschlüsse vermieden werden.

Bei einer Ausgestaltung ist an mindestens einer Seite des isolationsbereichsfernen Elektrodenbereiches ebenfalls ein Abstandshalter angeordnet. Die Abstandshalter haben die gleiche Aufgabe wie die an der Steuerelektrode angeordneten Abstandshalter erfüllt. Berühren sich ein am Gate angeordneter Abstandshalter und ein an einer Elektrode angeordneter Abstandshalter, so entsteht eine Maskierung, die bspw. eine Dotierung oder auch eine Silizidierung im maskierten Bereich verhindert.

Bei einer nächsten Weiterbildung grenzen ein Anschlussbereich des Feldeffekttransistors und der isolierbereichsnahe Elektrodenbereich des Kondensators aneinander und bilden so eine elektrisch leitfähige Verbindung. Auf diese Art und Weise entsteht eine einfach aufgebaute Speicherzelle eines DRAM (Dynamic Random Access Memory), ohne dass zusätzliche Maßnah-

men für die Kontaktierung der isolierbereichsnahen Elektrode erforderlich sind.

Bei einer Weiterbildung ist die an den einen Anschlussbereich des Transistors angrenzende Seite des isolierbereichsnahen Elektrodenbereiches länger als eine quer zu dieser Seite liegende Seite des isolierbereichsnahen Elektrodenbereiches, vorzugsweise mindestens doppelt so lang oder mindestens fünf mal so lang. Der Transistor hat in diesem Fall eine Transistorweite, die ein mehrfaches der minimalen Strukturbreite beträgt, vorzugsweise mehr als das Dreifache oder mehr als das Fünffache. Durch diese Maßnahmen entsteht eine besonders niederohmige Verbindung zwischen dem Transistor und dem Kondensator. Dies führt insbesondere bei sogenannten analogen Kapazitäten in analogen Schaltungen zur Verbesserung der elektronischen Eigenschaften. Beispiele für solche analogen Schaltungen sind Analog-Digital-Wandler. Ein anderes Beispiel für eine analoge Kapazität ist eine sogenannte Bypass-Kapazität mit der sich Spannungsspitzen auf eine Betriebsspannungsleitung oder einer Signalleitung glätten lassen.

Bei einer alternativen Weiterbildung ist dagegen eine quer zu der an den Anschlussbereich angrenzende Seite des isolierbereichsnahen Elektrodenbereiches liegende Seite des isolierbereichsnahen Elektrodenbereiches länger als die an den Anschlussbereich angrenzende Seite, vorzugsweise mindestens doppelt so lang oder mindestens fünf mal so lang. Der Transistor hat in diesem Fall eine Transistorweite, die kleiner als das Dreifache der minimalen Strukturbreite ist, vorzugsweise kleiner als das Doppelte der minimalen Strukturbreite. Durch diese Maßnahme wird insbesondere bei Speicherzellen erreicht, dass sich der ohmsche Widerstand der Bodenelektrode des Kondensators erhöht und einer schnellen Entladung der Speicherkapazität damit entgegengewirkt wird.

35

Bei einer anderen Weiterbildung enthält die Schaltungsanordnung mindestens einen Prozessor, der eine Vielzahl von logi-



schen Schaltfunktionen enthält. Enthält die Schaltungsanordnung bei einer Ausgestaltung neben dem Prozessor außerdem eine Vielzahl von DRAM-Speichereinheiten (Dynamic Random Access Memory), so wird auch von einem embedded-Speicher gesprochen. Zur Herstellung dieser Schaltungsanordnung werden zusätzlich zu den für die Herstellung der Logik ohnehin erforderlichen Prozessschritten und Masken nur eine kleine Anzahl von zusätzlichen Prozessschritten und zusätzlichen Masken zur Herstellung des Kondensators bzw. der mit ihm elektrisch leitfähig verbundenen Transistoren benötigt.

Die Erfindung betrifft in einem weiteren Aspekt außerdem ein Verfahren zum Herstellen einer integrierten Schaltungsanordnung, insbesondere zum Herstellen der erfindungsgemäßen Schaltungsanordnung oder einer ihrer Weiterbildungen. Bei dem erfindungsgemäßen Verfahren werden ohne Beschränkung durch die angegebene Reihenfolge die folgenden Verfahrensschritte ausgeführt:

- Bereitstellen eines Substrats, das eine Isolierschicht aus elektrisch isolierendem Material und eine Halbleiterschicht enthält, z.B. ein SOI-Substrat,
- Strukturieren der Halbleiterschicht zum Ausbilden mindestens eines Elektrodenbereiches für einen Kondensator und zum Ausbilden mindestens eines aktiven Bereiches eines Transistors,
- nach dem Strukturieren der Halbleiterschicht Erzeugen einer dielektrischen Schicht,
- nach dem Erzeugen der dielektrischen Schicht Erzeugen einer Elektrodenschicht, und
- Ausbilden einer isolierbereichsfernen Elektrode des Kondensators und einer Steuerelektrode des Transistors in der Elektrodenschicht.

Das erfindungsgemäße Verfahren ist besonders geeignet zur Herstellung eines sogenannten FinFET gemeinsam mit dem Kondensator. Die oben genannten technischen Wirkungen der erfindungsgemäßen Schaltungsanordnung und ihrer Weiterbildungen

gelten auch für das erfindungsgemäße Verfahren und dessen Weiterbildungen.

Im Folgenden werden Ausführungsbeispiele der Erfindung an Hand der beiliegenden Zeichnungen erläutert. Darin zeigen:

Figuren 1A bis 16B

Herstellungsstufen bei der Herstellung einer integrierten DRAM-Speicherzelle,

Figur 17 eine Draufsicht auf die Speicherzelle, und

Figur 18 eine Draufsicht auf eine DRAM-Speicherzelle mit drei Transistoren.

Die Figuren 1A bis 16B zeigen Herstellungsstufen bei der Herstellung einer integrierten Speicherzelle, wobei die Figuren 1A bis 16A einen Schnitt entlang einer Schnittebene I betreffen, die längs zu einem Kanal eines Feldeffekttransistors liegt, insbesondere längs zur Stromflussrichtung im Kanal. Die Figuren 1B bis 16B betreffen jeweils den Schnitt entlang einer Schnittebene II, die quer zum Kanal liegt.

Die Herstellung der Speicherzelle beginnt ausgehend von einem SOI-Substrat 10, das ein Trägersubstrat 12 aus einkristallinem Silizium, eine sogenannte vergrabene Isolierschicht 14 aus beispielsweise Siliziumdioxid und eine dünne Halbleiterschicht 16 aus monokristallinem Silizium enthält. Im Ausführungsbeispiel betragen die Dicke des Trägersubstrats 12 fünf-hundertfünfzig Mikrometer, die Dicke der Isolierschicht 14 einhundert Nanometer und die Dicke der Halbleiterschicht 16 fünfzig Nanometer. Bei der in Figur 1A dargestellten Herstellungsstufe gibt es noch keine Unterschiede entlang der Schnittebene I bzw. II, siehe Figur 1B.

Wie in den Figuren 2A und 2B dargestellt, wird auf das SOI-Substrat 10 anschließend eine Siliziumnitridschicht 18 abge-

10

schieden, beispielsweise mit Hilfe eines CVD-Verfahrens (Chemical Vapor Deposition). Im Ausführungsbeispiel hat die Siliziumnitridschicht 18 eine Dicke von fünfzig Nanometern. Über die Siliziumnitridschicht 18 wird dann ganzflächig eine Siliziumdioxidschicht abgeschieden, z.B. eine TEOS-Schicht 20 (Tetra-Ethyl-Ortho-Silicate) mit Hilfe eines TEOS-Verfahrens. Im Ausführungsbeispiel hat die TEOS-Schicht 20 eine Dicke von fünfundsiebzig Nanometern. Entlang der Schnittebenen I und II liegen noch gleiche Verhältnisse vor, siehe Figur 2B.

Bei einem anderen Ausführungsbeispiel wird die Doppelschicht aus der Siliziumnitridschicht 18 und der TEOS-Schicht 20 durch eine einzige Schicht ersetzt. Dadurch ergibt sich eine Prozessvereinfachung.

Wie in den Figuren 3A und 3B dargestellt, wird anschließend ein Lithografieverfahren durchgeführt. Dazu wird ein Fotolack 22 ganzflächig aufgebracht, gemäß einem vorgegebenen Layout belichtet und entwickelt. Anschließend werden die TEOS-Schicht 20, die Nitridschicht 18 und die Halbleiterschicht 16 strukturiert, beispielsweise mit einem Trockenätzverfahren. Dabei entsteht ein Schichtstapel 30 bzw. Mesa, der sich im Bereich der Schnittebene II zu einem Stegbereich verjüngt, siehe Figur 3B, und dann wieder aufweitet. Die Geometrie für den herzustellenden Feldeffekttransistor und den Kondensator lassen sich unabhängig voneinander vorgeben und somit optimieren.

Der Fotolack 22 wird anschließend entfernt. Alternativ zu einem fotolithografischen Verfahren wird bei einem anderen Ausführungsbeispiel ein Elektronenstrahl-Lithografie-Verfahren oder ein anderes geeignetes Verfahren durchgeführt.

Wie in den Figuren 4A und 4B dargestellt, wird anschließend ein weiteres Fotolithografieverfahren ausgeführt, bei dem eine zusätzliche Maske zur Herstellung des Kondensators erforderlich ist. Es wird eine Fotolackschicht 32 aufgebracht,

mit der Maske belichtet, entwickelt und strukturiert. Bei der Strukturierung werden die TEOS-Schicht 20 und die Siliziumnitridschicht 18 oberhalb eines Bodenelektrodenbereiches 34 in der Halbleiterschicht 16 entfernt. Dadurch wird der Stapel 30 in einen Transistorteil 30a und in einen Kondensatorteil 30b aufgeteilt.

Anschließend wird unter Verwendung der strukturierten Fotolackschicht 32 eine Ionenimplantation durchgeführt, wobei der Bodenelektrodenbereich 34 stark n-dotiert wird, in Figur 4A dargestellt durch  $n^{++}$  und durch Implantationspfeile 40. In dem für den Transistor vorgesehenen Bereich wird die Halbleiterschicht 16 nicht dotiert. Durch die Zusatzimplantation wird der Bodenelektrodenbereich 34 niederohmig. Beispielsweise beträgt die Dotierungsdichte  $10^{20}$  Dotieratome je Kubikzentimeter. Die Dotierungsdichte liegt vorzugsweise im Bereich zwischen  $10^{19}$  bis  $10^{21}$  Dotieratome je Kubikzentimeter. Bei steigender Dotierdichte wächst das Dielektrikum schneller als auf undotierten oder nur mittel stark dotierten Bereichen. Jedoch werden mit steigender Dotierungsdichte die sich ausbildenden Raumladungszonen kleiner, so dass parasitäre Effekte ebenfalls kleiner werden.

Das spätere Kanalgebiet des Transistors, insbesondere die Seitenflächen dieses Kanalgebietes, werden durch die Fotolackschicht 32 geschützt, so dass in diese Bereiche keine Ionen vordringen, die eine Dotierung bewirken könnten.

Wie in den Figuren 5A und 5B dargestellt, wird anschließend die Fotolackschicht 32 entfernt. An allen freiliegenden Seiten der Halbleiterschicht 16 und insbesondere auch an den freiliegenden Seiten des Bodenelektrodenbereiches 34 wird anschließend eine dünne Oxidschicht erzeugt, die im Bereich des Transistors das Gateoxid 42 bzw. 44 und im Bereich des Kondensators ein Dielektrikum 46 bildet. Beispielsweise wächst die Oxidschicht thermisch auf. Im Ausführungsbeispiel

hat die Oxidschicht im Bereich des undotierten Siliziums eine Dicke von zwei Nanometern.

- Bei einem alternativen Ausführungsbeispiel wird unter Verwendung eines weiteren Lithografieverfahrens im Bereich des Kondensators ein Dielektrikum aus einem anderen Material und/oder ein Dielektrikum mit einer anderen Dicke als in dem für den Transistor vorgesehenen Bereich erzeugt.
- 10 Wie in den Figuren 6A und 6B dargestellt, wird anschließend in-situ oder nachträglich dotiertes polykristallines Silizium abgeschieden, wobei eine Polysiliziumschicht 50 erzeugt wird. Die Polysiliziumschicht 50 hat beispielsweise eine Dicke von einhundert Nanometern und eine Dotierstoffkonzentration von
- 15  $10^{21}$  Dotieratomen je Kubikzentimeter. Die starke Dotierung vom n-Leistungstyp ist wiederum durch das Symbol  $n^{++}$  dargestellt. Als Dotieratome werden beispielsweise Phosphoratome verwendet.
- 20 Wie in den Figuren 7A und 7B gezeigt, wird anschließend auf die Polysiliziumschicht 50 eine weitere TEOS-Schicht 52 abgeschieden, die dicker ist als die TEOS-Schicht 20. Im Ausführungsbeispiel beträgt die Dicke der TEOS-Schicht 52 einhundert Nanometer.
- Die TEOS-Schicht 52 hat eine Doppelfunktion. Wie weiter unten noch erläutert, dient die TEOS-Schicht 52 zunächst als Hartmaske für die Strukturierung der Steuerelektrode (Gate) des Transistors. Danach dient die TEOS-Schicht 52 als Implantationsmaske, die ein nochmaliges Dotieren der Gateelektrode
- 30 verhindert. Auf diese Weise ist es möglich, Gateelektrode und Source-/Drain-Bereiche unterschiedlich zu dotieren. Damit lässt sich die Gateelektrodenaustrittsarbeit frei wählen.
- 35 Wie in den Figuren 8A und 8B gezeigt, wird anschließend ein weiteres Lithografieverfahren zur Strukturierung einer Gateelektrode 54 durchgeführt. Dazu wird wiederum eine in den

- Figuren nicht dargestellte Fotolackschicht aufgebracht, belichtet und entwickelt. Anschließend werden die TEOS-Schicht 52 und die Polysiliziumschicht 50 strukturiert, beispielsweise geätzt. Dabei entsteht im Bereich des Transistors die Gateelektrode 54 und im Bereich des Kondensators eine Deckelektrode 56. Die Gateelektrode 54 wird durch einen TEOS-Schichtbereich 52a bedeckt. Die Deckelektrode 56 wird durch einen TEOS-Schichtbereich 52b bedeckt. Die Ätzung stoppt auf der TEOS-Schicht 20. Bei der Ätzung der Polysiliziumschicht 50 wird deutlich überätzt, damit sämtliche parasitären Polysilizium-Abstandshalter an den Seitenwänden des Schichtstapels 30a entfernt werden. Die Seitenwände sind nach der Ätzung nur durch die dünne Oxidschicht bedeckt.
- Wie in den Figuren 9A und 9B gezeigt, wird anschließend eine dünne Siliziumnitridschicht 60 ganzflächig abgeschieden, beispielsweise mit Hilfe eines CVD-Verfahrens. Die Siliziumnitridschicht 60 hat im Ausführungsbeispiel eine Dicke von fünfzig Nanometern.
- Wie in den Figuren 10A und 10B dargestellt, wird die Siliziumnitridschicht 60 anschließend in einem anisotropen Ätzprozess zu Abstandshaltern 60a an den Seitenwänden des Transistorteils 30a, Abstandshaltern 60b, 60c an den Seitenwänden der Gateelektrode 54 und des TEOS-Schichtbereiches 52a sowie zu einem Abstandshalter 60d an den Seitenwänden der Deckelektrode 56 und des TEOS-Bereiches 52b zurückgeätzt.
- Wie in den Figuren 11A und 11B dargestellt, wird danach die dünne TEOS-Schicht 20 ohne Verwendung eines Lithografieverfahrens geätzt, d.h. selbstjustierend, beispielsweise mit einem RIE-Verfahren (Reactive Ion Etching). Es entsteht unterhalb der Abstandshalter 60b, 60c und unterhalb der Gateelektrode 54 ein TEOS-Schichtbereich 20a. Unterhalb des Abstandshalters 60d entsteht ein TEOS-Schichtbereich 20b. Während des Ätzens werden auch die TEOS-Schichtbereiche 52a und 52b gedünnt, bspw. auf fünfundzwanzig Nanometer. Es entstehen

gedünnte TEOS-Schichtbereiche 52c oberhalb der Gateelektrode 54 und 52d oberhalb der Deckelektrode 56. Durch die Ätzung wird außerdem die Siliziumnitridschicht 18 in Bereichen freigelegt, die nicht vom TEOS-Schichtbereich 20a bedeckt sind. Die Abstandshalter 60a bis 60d werden durch die Ätzung der TEOS-Schicht 52 nicht angegriffen, so dass sie etwas über die gedünnten TEOS-Schichtbereiche 52c und 52d hinausstehen.

Wie in den Figuren 12A und 12B gezeigt, wird anschließend die Nitridschicht 18 selbstjustierend strukturiert, wobei freiliegende Bereiche dieser Siliziumnitridschicht 18 entfernt werden. Unterhalb des TEOS-Schichtbereiches 20a verbleibt ein Nitridschichtbereich 18a. Unterhalb des TEOS-Schichtbereiches 20b verbleibt ein Nitridschichtbereich 18b. Beispielsweise wird mit einem RIE-Verfahren (Reactive Ion Etching) geätzt. Dabei werden auch die Abstandshalter 60a bis 60d gekürzt. Die Schichtdicken und Ätzungen sind so dimensioniert, dass die Gateelektrode 54 nach der Ätzung der Siliziumnitridschicht 18 immer noch an den Seiten von den Abstandshaltern 60b und 60c umgeben ist. Von oben wird die Gateelektrode 54 weiterhin durch eine ausreichend dicke TEOS-Schicht maskiert, beispielsweise eine TEOS-Schicht 52c mit einer Dicke von fünf- undzwanzig Nanometern. Die Source-/Drain-Gebiete liegen nach dem Ätzen der Siliziumnitridschicht 18 offen.

Die Abstandshalter 60b und 60c schließen nun mit der oberen Oberfläche des TEOS-Bereiches 52c ab. Der Abstandshalter 60d schließt mit der oberen Oberfläche des TEOS-Schichtbereiches 52d ab.

30

Wie in den Figuren 13A und 13B dargestellt, wird anschließend ein selektives Epitaxieverfahren durchgeführt. Eine monokristalline Epitaxieschicht wächst nur auf den freigelegten Source-/Drain-Bereichen der Halbleiterschicht 16 auf. Es entstehen Epitaxiebereiche 62 und 64 auf monokristallinem Silizium. Die Epitaxiebereiche 62 und 64 erstrecken sich etwa bis zur halben Höhe der TEOS-Schichtbereiche 20a bzw. 20b.

35

15

Die Epitaxiebereiche 62 und 64 werden auch als "angehobene" (elevated) Source-/Drain-Bereiche bezeichnet. Die Dicke der Epitaxieschicht für die Epitaxiebereiche 62 und 64 richtet sich vor allem nach der Dicke der Halbleiterschicht 16 und der nachfolgend erläuterten Silizidierung. Bei der Silizidierung wird vorhandenes Silizium verbraucht, so dass entsprechend viel Silizium für die Reaktion bereitgestellt wird. Durch diese Maßnahme wird ein "Abreißen" der Kanalanschlüsse im Bereich des Drain-/Source-Bereiches vermieden.

10

Wie in den Figuren 14A und 14B gezeigt, wird nach dem Epitaxieverfahren eine Ionenimplantation, z.B.  $n^{++}$ , d.h. stark  $n$ -dotiert, zum Herstellen der hochdotierten Source-/Drain-Bereiche 70 und 72 durchgeführt, siehe Implantationspfeile

15

80. Eine Maske ist hier lediglich zum Trennen von Bereichen mit komplementären Transistoren in einem CMOS-Prozess

20

(Complementary Metal Oxide Semiconductor) erforderlich. Durch die Implantation werden die Epitaxiebereiche 62, 64 und die darunterliegenden Bereiche der Halbleiterschicht 16 niederohmig  $n^{++}$  dotiert. Außerdem wird dabei eine Verbindung zwischen dem Source-/Drain-Bereich 72 und dem Bodenelektrodenbereich 34 des Kondensators hergestellt. Ein zwischen den Source-/Drain-Bereichen 70 und 72 in der Halbleiterschicht 16 liegender Kanalbereich 82 bleibt undotiert.

30

Während der Implantation dienen die TEOS-Schichtbereiche 52c und 52d als Implantationsmaske. Die Dotierungen der Gateelektrode 54 und der Deckelektrode 56 werden deshalb bei der Implantation nicht verändert.

35

Wie in den Figuren 15A und 15B dargestellt, werden im Anschluss an die HDD-Implantation (High Density Drain) die Reste der TEOS-Schicht 52, d.h. insbesondere die TEOS-Schichtbereiche 52c und 52d weggeätzt. Anschließend wird ein Salicide-Verfahren (Self aligned silicide) durchgeführt. Dazu wird beispielsweise ganzflächig eine Nickelschicht abgeschieden. Bei Temperaturen von beispielsweise  $500^{\circ}\text{C}$  bildet sich



Nickelsilizid auf den Epitaxiebereichen 62, 64, auf der Gateelektrode 54 und auf der Deckelektrode 56, siehe Silizidbereiche 90 bis 96. An Stelle von Nickel lässt sich auch ein anderes Metall mit einer Schmelztemperatur über 1400 Grad Celsius verwenden, insbesondere ein Refraktärmetall, um bspw. Titansilizid oder Kobaltsilizid herzustellen.

Wie in den Figuren 16A und 16B dargestellt, wird anschließend eine Passivierungsschicht 100 aufgebracht, beispielsweise aus Siliziumdioxid. In die Passivierungsschicht 100 werden Kontaktlöcher geätzt und beispielsweise mit Wolfram gefüllt, wobei Verbindungsabschnitte 102, 104, 106, 108 und 110 entstehen, die in dieser Reihenfolge zum Silizidbereich 90, 94, 96 bzw. 92 führen. An Stelle der beiden zum Silizidbereich 92 führenden Verbindungsabschnitte 108 und 110 wird bei einem anderen Ausführungsbeispiel nur ein Verbindungsabschnitt vorgesehen. Die Verbindungsabschnitte 102 bis 110 werden anschließend noch mit Leiterbahnen einer Metallisierungslage oder mehrerer Metallisierungslagen verbunden. Dabei wird ein konventioneller CMOS-Prozess ausgeführt, der auch als "Back End" bezeichnet wird.

Figur 17 zeigt eine Draufsicht auf die Speicherzelle 120, die einen FinFET 122 und einen Kondensator 124 enthält. Der Kondensator 124 ist im Verhältnis zu dem Transistor 122 in allen Figuren 1A bis 17 verkleinert dargestellt.

Als effektiv wirksame Fläche des Kondensators 124 ergibt sich:

$$A = L \cdot B + H \cdot (2 \cdot L + B),$$

wobei A die wirksame Fläche, B die Breite des Kondensators, L die Länge des Kondensators, H die in Figur 16A eingetragene Höhe des Bodenelektrodenbereiches 34 sind.

Ein bevorzugter Anwendungsbereich einer solchen embedded DRAM-Kapazität ist der Ersatz von mittelgroßen SRAM-

Speichereinheiten durch einen schnellen embedded-DRAM, beispielsweise im zweiten und dritten Zugriffsniveau einer Mikroprozessorspeicherhierarchie, d.h. im second and third level cache. Beispielsweise hat bisher eine SRAM-Speicherzelle eine Fläche von  $134 F^2$ , wobei  $F$  die minimale Strukturgröße ist. Wird beispielsweise ein Dielektrikum mit einer Dielektrizitätskonstante  $\epsilon_r$  gleich fünfundzwanzig eingesetzt, z.B. Tantalpentoxid, so lässt sich eine typische embedded-DRAM-Kapazität CMEM von zwanzig Femtofarad pro Speicherzelle gemäß den folgenden Berechnungen realisieren. Die Oxidkapazität beträgt:

$$COX = \epsilon_r \epsilon_0 / t_{phys} = 110 \text{ fF}/\mu\text{m}^2,$$

wobei  $t_{phys}$  die Oxiddicke ist, die im Ausführungsbeispiel zwei Nanometer beträgt. Es ergibt sich eine erforderliche Fläche AMEM der Speicherkapazität von:

$$AMEM = CMEM / COX = 0,18 \mu\text{m}^2.$$

Für eine minimale Strukturbreite  $F$  gleich fünfzig Nanometer entspricht dies  $72 F^2$  für die Kapazität. Diese Fläche lässt sich beispielsweise mit einem quaderförmigen Bodenelektrodenbereich 34 erzeugen, der eine Grundfläche von  $L \cdot B = 8 F \cdot 6 F$  hat, wobei die Höhe  $H$  gleich  $1 F$  beträgt. Dies entspricht einer Flächenreduktion um dreiunddreißig Prozent bezogen auf einen planaren SOI-Prozess. Für höhere Höhen  $H$  steigt dieser Flächengewinn. Einschließlich des Zugangstransistors ergibt sich eine Gesamtfläche der FinFET-Kapazitätsanordnung von  $68 F^2$ , wobei der FinFET 122 mit einem Gatekontakt ausgeführt wird. Die Fläche der embedded-DRAM-Speicherzelle liegt damit unter der SRAM-Zellgröße von  $134 F^2$ .

Bei der Erfindung wird eine Kapazität in die FET-Ebene also in das sogenannte top-Silizium auf einem SOI-Substrat integriert. Im Unterschied zu SOI-CMOS-Technologien mit planaren, vollständig verarmten SOI-Transistoren wird jedoch ein FinFET eingesetzt, der aufgrund der beiden Steuerkanäle an den Seitenwänden bessere Steuereigenschaften hat. Zur Herstellung der SOI-Kapazität ist nur ein zusätzlicher Prozessschritt

erforderlich, wenn das besonders hochqualitative Gatedielektrikum des Transistors als Dielektrikum des Kondensators genutzt wird.

- 5 Bei einer effektiven Oxiddicke von einem Nanometer, einer Korrektur von 0,8 Nanometern für die Gate- und top-Silizium-Verarmung und aufgrund der quantenmechanischen Effekte ergibt sich eine Kapazität pro Fläche von:

$$COX = 3,9 \epsilon_0 / t_{fox} = 19 \text{ fF}/\mu\text{m}^2,$$

- 10 wobei  $t_{fox}$  gleich 1,8 Nanometer die elektrisch wirksame Oxiddicke und  $\epsilon_0$  die Dielektrizitätskonstante im Vakuum bezeichnen. Bei der Verwendung eines Metall-Gates verringert sich die elektrisch wirksame Oxiddicke um etwa 0,4 Nanometer aufgrund der nicht mehr vorhandenen Gate-Verarmung, wodurch sich
- 15 die Kapazität pro Fläche erhöht auf:

$$COX = 3,9 \epsilon_0 / t_{fox} = 24 \text{ fF}/\mu\text{m}^2.$$

- Die erfindungsgemäßen Kapazitäten werden auch als sogenannte Bypass-Kapazitäten zur Dämpfung von sogenannten Spikes und
- 20 zur Dämpfung von Übersprechen in der Spannungsversorgung der integrierten Schaltungsanordnung verwendet. Auch als analoge Kapazitäten sind sie bestens geeignet, insbesondere in Oszillatoren oder Analog-Digital-Wandlern. Auch für sogenannte Mixed-Signal Schaltungen werden die Kapazitäten eingesetzt, d.h. für Schaltungen mit analogen Kapazitäten und bspw. Speicherkapazitäten in Speicherzellen.

- Bei anderen Ausführungsbeispielen wird an Stelle des Gateoxids ein gesondertes high-K-DRAM-Dielektrikum mit er größer
- 30 einhundert eingesetzt. Beispielsweise ein Dielektrikum, das Bariumstrontiumtitanat (BST) oder Epitaxie-Bariumstrontiumtitanat enthält. Dadurch verringert sich der Flächenbedarf auf ca.  $22 \text{ F}^2$ . Mit Hilfe einer zweiten Zusatzmaske wird der Bereich für das high-K-Dielektrikum auf den
- 35 SOI-Stapeln festgelegt.

Als weitere Vorteile gegenüber bisherigen Technologiekonzepten ergibt sich ein planarer Übergang zwischen reinen Logikblöcken und embedded-DRAM-Blöcken. Weiterhin werden tiefe Vias und Kontakte vermieden.

5

Der geringe Leckstrom in FinFET-Transistoren sowie die geringeren Parasitärkapazitäten, die den Anteil der Nutzkapazität an der Gesamtkapazität erhöhen, führen zudem zu einer weiteren verringerten embedded-DRAM-Kapazität von CMEM gleich zehn Femtofarad.

10

Bei dem an Hand der Figuren 1A bis 17 erläuterten Ausführungsbeispiel wurde keine LDD-Dotierung (Lightly Doped Drain) durchgeführt. Bei einem anderen Ausführungsbeispiel wird zusätzlich zu der HDD-Dotierung auch eine LDD-Dotierung durchgeführt.

15

Bei einem weiteren Ausführungsbeispiel werden ein Transistor und der Kondensator räumlich weiter voneinander entfernt angeordnet und jeweils mit eigenen Verbindungsabschnitten verbunden.

20

Insbesondere bei DRAM-Speicherzellen (dynamic random access memory) mit nur einem Transistor ist der Verbindungsabschnitt 104 nicht erforderlich. Die Abstandshalter 60c und 60d können sich dann berühren, so dass sie als Maske bei der Dotierung des Anschlussbereiches 70 und bei der selektiven Silizidierung dienen. Unter den Abstandshaltern 60c und 60d bildet sich dann ein Anschlussbereich durch Ausdiffusion von Dotieratomen aus dem Bodenelektrodenbereich 34.

30

Figur 18 zeigt einen Schaltplan einer DRAM-Speicherzelle 200 (dynamic random access memory) mit drei Transistoren M1 bis M2 sowie mit einem Kondensator Cs, die mit dem an Hand der Figuren 1A bis 16A erläuterten Verfahrensschritten hergestellt worden sind. Beispielsweise ist der in Figur 17 dargestellte Transistor 122 in einem ersten Fall der Transistor M1. Der

35

20

Kondensator 124 ist dann der Kondensator Cs. Im ersten Fall führt eine elektrisch leitende Verbindung von einer an den Bodenelektrodenbereich 34 angrenzenden zusätzlichen Anschlussfläche in der Halbleiterschicht 16 oder vom Verbindungsabschnitt 104 zu dem Gate des Transistors M2.

Alternativ wird in einem zweiten Fall das Layout jedoch so gewählt, dass der Transistor 122 dem Transistor M2 entspricht, wobei der Kondensator 124 wieder dem Kondensator Cs entspricht. Im zweiten Fall ist die Deckelektrode 56 elektrisch leitend mit dem einen Anschlussbereich des Transistors M1 und mit dem Gate des Transistors M2 verbunden.

Die Schaltung der Speicherzelle 200 enthält eine Teilschaltung zum Schreiben und eine Teilschaltung zum Lesen, wobei beim Lesen die Ladung des Kondensators Cs nicht verändert wird, so dass auch ein Auffrischen dieser Ladung nach einem Lesevorgang nicht erforderlich ist.

Die Teilschaltung zum Schreiben enthält den Schreib-Transistor M1 und den Kondensator Cs. Der Gateanschluss des Transistors M1 ist mit einer Schreibwortleitung WWL verbunden. Der Sourceanschluss des Transistors M1 ist mit einer Schreibbitleitung BL1 verbunden. Bei einer Schaltungsanordnung mit besonders guten elektrischen Eigenschaften gemäß dem oben erwähnten ersten Fall führt der Drainanschluss des Transistors M1 zu einem Speicherknoten X, der durch die Bodenelektrode 34 des Kondensators 124 gebildet wird. Die Deckelektrode 56 des Kondensators Cs liegt auf einem Massepotential VSS.

Bei der Alternative gemäß dem zweiten Fall führt der Drainanschluss des Transistors M1 zu einem Speicherknoten X, der durch die Deckelektrode 56 des Kondensators 124 gebildet wird. Die Bodenelektrode 34 des Kondensators Cs liegt auf einem Massepotential VSS.

35

Die Teilschaltung zum Lesen enthält die Transistoren M2 und M3. Der Gateanschluss des Transistors M3 ist mit einer Lese-

- wortleitung RWL verbunden. Der Drainanschluss des Transistors M3 ist mit einer Lesebitleitung BL2 verbunden, die vor Beginn des Lesevorganges bspw. auf ein Betriebspotential VDD aufgeladen wird. Der Sourceanschluss des Transistors M3 ist mit dem einen Drainanschluss des Transistors M2 verbunden. Der Gateanschluss des Transistors M2 ist mit dem Speicherknoten X verbunden. Der Sourceanschluss des Transistors M2 liegt auf dem Massepotential VSS.
- 10 Der Transistor M2 übernimmt die Aufgabe eines Verstärkers, so dass auch bei Ladungsverlusten auf dem Speicherknoten X noch ein zuverlässiges Lesen möglich ist. Befindet sich eine positive Ladung auf dem Speicherknoten X, so ist der Transistor M2 im eingeschalteten Zustand und die vorgeladene Lesebitleitung BL2 wird beim Lesevorgang entladen.

Da die Gate-Source-Kapazität des Transistors M2 parallel zum Kondensator Cs liegt, erhöht sich die effektiv wirksame Speicherkapazität Ceff:

$$20 \quad C_{eff} = C_s + C_{GS}(M2),$$

wobei Cs die Kapazität des Kondensators Cs und CGS die Gate-Source-Kapazität des Transistors M2 sind. Auf Grund des Herstellungsverfahrens sind die Kapazitäten pro Fläche des Speicher-Kondensators Cs und des Transistors M2 bspw. gleich groß, wenn das Gateoxid und das Kondensatordielektrikum in derselben dielektrischen Schicht erzeugt werden und die Schicht überall die gleiche Schichtdicke hat.

- Der Flächenbedarf der Speicherzelle 200 wird durch die Anforderungen an die effektiv wirksame Speicherkapazität Ceff bestimmt. Bei geringen Leckströmen und einer hohen Transistorverstärkung, die einen hohen Lese Strom zur Folge hat, lässt sich der Speicher-Kondensator Cs verkleinern. Die für den Kondensator Cs erforderliche Fläche und dessen elektrische Eigenschaften sind Hauptkriterien für die wirtschaftliche Herstellung einer Speichereinheit mit einer Vielzahl von Speicherzellen 200. Auch eine Speichereinheit mit einer Viel-

zahl von Speicherzellen 200 ist zum Ersetzen eines SRAMS in einer Prozessorspeicherhierarchie geeignet.

- Bei einem anderen Ausführungsbeispiel wird an Stelle des
- 5 FinFET Transistors ein Multi-FinFET Transistor eingesetzt, der an Stelle nur eines Steges eine Vielzahl parallel zueinander angeordneter Stege zwischen seinem Drain-Anschlussbereich und seinem Source-Anschlussbereich enthält.

## Bezugszeichenliste

I, II	Schnittebene
10	SOI-Substrat
12	Trägersubstrat
14	Isolierschicht
16	Halbleiterschicht
18	Siliziumnitridschicht
18a, 18b	Nitridschichtbereich
20	TEOS-Schicht
20a, 20b	TEOS-Schichtbereich
22	Fotolackschicht
30	Schichtstapel
30a	Transistorteil
30b	Kondensatorteil
32	Fotolackschicht
34	Bodenelektrodenbereich
40	Implantation
42, 44	Gateoxid
46	Dielektrikum
50	Polysiliziumschicht
52	TEOS-Schicht
52a bis 52d	TEOS-Schichtbereich
54	Gateelektrode
56	Deckelektrode
60	Siliziumnitridschicht
60a bis 60d	Abstandshalter
62, 64	Epitaxiebereich
70, 72	Source-/Drain-Bereich
80	Implantation
82	Kanalbereich
90 bis 96	Silizidbereich
100	Passivierungsschicht
102 bis 110	Verbindungsabschnitt
120	Speicherzelle
122	FinFET
124	Kondensator



L	Länge
B	Breite
H	Höhe
A	Fläche
F	minimale Strukturbreite
200	Speicherzelle
M1 bis M3	Transistor
Cs	Kondensator
BL1	Schreibbitleitung
BL2	Lesebitleitung
RWL	Lesewortleitung
WWL	Schreibwortleitung
X	Speicherknoten
VDD	Betriebspotential
VSS	Massepotential

## Patentansprüche

1. Integrierte Schaltungsanordnung (120),
  - 5 mit einem elektrisch isolierenden Isolierbereich,  
und mit mindestens einem Kondensator (124) bildenden  
Bereichsfolge, die in der angegebenen Reihenfolge enthält:
    - 10 einen isolierbereichsnahen Elektrodenbereich (34),  
einen dielektrischen Bereich (46), und  
einen isolierbereichsfernen Elektrodenbereich (56),
      - 15 wobei der Isolierbereich Bestandteil einer in einer Ebene  
angeordneten Isolierschicht (14) ist,  
wobei der Kondensator (124) und mindestens ein aktives Bau-  
20 element (122) der integrierten Schaltungsanordnung (120) auf  
der gleichen Seite der Isolierschicht (14) angeordnet sind,  
und wobei der isolierbereichsnahe Elektrodenbereich (34) und  
der aktive Bereich (82) des Bauelementes (122) in einer Ebene  
angeordnet sind, die parallel zu der Ebene liegt, in der die  
Isolierschicht (14) angeordnet ist.
    2. Schaltungsanordnung (120) nach Anspruch 1, d a d u r c h  
g e k e n n z e i c h n e t, dass der isolierbereichsnahe Elekt-  
30 rodenbereich (34) ein einkristalliner Bereich ist, vorzugs-  
weise ein dotierter Halbleiterbereich,  
und/oder dass der isolierbereichsnahe Elektrodenbereich (34)  
und/oder der aktive Bereich (82) eine Dicke kleiner als ein-  
35 hundert Nanometer oder kleiner als fünfzig Nanometer hat,

und/oder dass der aktive Bereich (82) ein einkristalliner Bereich ist, vorzugsweise ein Halbleiterbereich der dotiert oder undotiert ist,

5 und/oder dass die Isolierschicht (14) an einer Seite an ein Trägersubstrat (12) angrenzt, vorzugsweise an ein Trägersubstrat, das ein Halbleitermaterial enthält oder aus einem Halbleitermaterial besteht, insbesondere aus Silizium oder aus einkristallinem Silizium,

10

und/oder dass die Isolierschicht (14) an der anderen Seite an den isolierbereichsnahen Elektrodenbereich (34) angrenzt,

und/oder dass die Grenzflächen vorzugsweise vollständig in  
15 zwei zueinander parallelen Ebenen liegen,

und/oder dass die Isolierschicht (14) ein elektrisch isolierendes Material enthält oder aus einem elektrisch isolierenden Material besteht, vorzugsweise ein Oxid, insbesondere  
20 Siliziumdioxid,

und/oder dass das aktive Bauelement (122) ein Transistor ist, vorzugsweise ein Feldeffekttransistor, insbesondere ein Fin-FET.

3. Schaltungsanordnung (120) nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass der dielektrische Bereich (46) Siliziumdioxid enthält oder aus Siliziumdioxid besteht,

30

und/oder dass der dielektrische Bereich (46) aus einem Material mit einer Dielektrizitätskonstante größer als vier oder größer als zehn oder größer als fünfzig besteht,

35 und/oder dass der isolierbereichsferne Elektrodenbereich (56) Silizium enthält, vorzugsweise polykristallines Silizium oder

aus Silizium besteht, vorzugsweise aus polykristallinem Silizium,

und/oder dass der isolierbereichsferne Elektrodenbereich (56)  
5 ein Metall enthält oder aus einem Metall besteht,

und/oder dass der isolierbereichsferne Elektrodenbereich (56)  
ein niederohmiges Material enthält, vorzugsweise Titannitrid,  
Tantalnitrid oder Rubidium oder hochdotiertes Siliziumgerma-  
10 nium,

und/oder dass der isolierbereichsferne Elektrodenbereich (56)  
an einen Metallhalbleiterverbindungen enthaltenden Bereich  
angrenzt, insbesondere an einen Silizidbereich (96).  
15

4. Schaltungsanordnung (120) nach einem der vorhergehenden  
Ansprüche, dadurch gekennzeichnet, dass der  
dielektrische Bereich (46) und der isolierbereichsferne E-  
lektrodenbereich (56) an zwei, an drei, an vier oder an fünf  
20 Seitenflächen oder an mehr als fünf Seitenflächen des iso-  
lierbereichsnahen Elektrodenbereiches (34) angeordnet sind,

und/oder dass der isolierbereichsnahe Elektrodenbereich (34)  
eine Vielzahl von Stegen enthält, deren Steghöhe vorzugsweise  
größer als die Stegbreite ist, vorzugsweise mindestens dop-  
pelt so groß.

5. Schaltungsanordnung (120) nach einem der vorhergehenden  
Ansprüche, gekennzeichnet durch mindestens  
30 einen Feldeffekttransistor (122); dessen Kanalbereich (82)  
der aktive Bereich ist, wobei der Kanalbereich (82) vorzugs-  
weise undotiert ist,

und/oder dessen Steuerelektrode (54) das gleiche Material  
35 und/oder Material der gleichen Dotierstoffkonzentration wie  
der isolierbereichsferne Elektrodenbereich (56) enthält,

und/oder dessen Steuerelektrodenisolationsbereich (42, 44) das gleiche Material und/oder ein Material mit der gleichen Dicke wie die der dielektrische Bereich (46) enthält,

- 5 und/oder dessen Steuerelektrodenisolationsbereich (42, 44) ein anderes Material und/oder ein Material mit einer anderen Dicke als der dielektrische Bereich (46) enthält.

6. Schaltungsanordnung (120) nach Anspruch 5, d a d u r c h  
10 g e k e n n z e i c h n e t, dass der Feldeffekttransistor (122) mindestens einen Steg enthält,

- und/oder dass mehrere Steuerelektroden (54) an einander gegenüberliegenden Seiten des Steges (30a) angeordnet sind, vor-  
15 zugsweise zwei oder drei Steuerelektroden,

- und/oder dass mindestens eine Steuerelektrode (54) an einen Metallhalbleiterverbindungen enthaltenden Bereich angrenzt, insbesondere an einen Silizidbereich (92),  
20

- und/oder dass ein Verbindungsbereich die Steuerelektroden (54) elektrisch verbindet, wobei der Verbindungsbereich vom Kanalbereich vorzugsweise durch einen dicken Isolierbereich (18, 20) getrennt ist, der vorzugsweise eine Isolierstärke hat, die größer als die Dicke von Steuerelektrodenisolationsbereichen (42, 44) ist,

- und/oder wobei der Verbindungsbereich aus dem gleichen Material besteht und/oder die gleiche Dotierstärke wie der isolierbereichsferne Elektrodenbereich (56) hat.  
30

7. Schaltungsanordnung (120) nach Anspruch 5 oder 6, d a -  
d u r c h g e k e n n z e i c h n e t, dass ein Anschlussbereich oder beide Anschlussbereiche (70, 72) des Feldeffekttransistors (122) an die Isolierschicht (14) grenzen,  
35

und/oder dass mindestens ein Anschlussbereich (70, 72) an einen eine Metallhalbleiterverbindung enthaltenden Bereich angrenzt, vorzugsweise an einen Silizidbereich (90, 94),

- 5 und/oder dass die Anschlussbereiche (70, 72) eine größere Dicke haben als der aktive Bereich (82).

8. Schaltungsanordnung (120) nach einem der Ansprüche 5 bis 7, dadurch gekennzeichnet, dass beidseitig  
10 der Steuerelektroden (54) Abstandshalter (60b, 60c) angeordnet sind, die vorzugsweise ein anderes Material enthalten als die Elektrodenschicht, vorzugsweise Siliziumnitrid, oder die aus einem anderen Material bestehen als die Elektroden-  
schicht, vorzugsweise aus Siliziumnitrid,

15 und/oder dass an mindestens einer Seite des isolierbereichs-  
fernen Elektrodenbereiches (56) ein Abstandshalter (60d) angeordnet ist, der ein anderes Material enthält, vorzugsweise Siliziumnitrid, oder aus einem anderen Material besteht  
20 als die Elektrodenschicht (50), vorzugsweise aus Siliziumnitrid,

und/oder dass sich ein an einer Steuerelektrode (54) angeordneter Abstandshalter (60c) und ein an dem isolierbereichsfernen Elektrodenbereich (56) angeordneter Abstandshalter 60d berühren.

9. Schaltungsanordnung (120) nach einem der Ansprüche 5 bis 8, dadurch gekennzeichnet, dass ein An-  
30 schlussbereich (72) des Feldeffekttransistors (122) und der isolierbereichsnahe Elektrodenbereich (34) des Kondensators (124) aneinander grenzen und eine elektrisch leitfähige Verbindung an der Grenze haben,

35 und/oder dass der an den Elektrodenbereich (34) angrenzende Anschlussbereich (72) nicht an einen eine Metallhalbleiterverbindung enthaltenden Bereich angrenzt,

und/oder dass der andere Anschlussbereich (70) an einen eine Metallhalbleiterverbindung enthaltenden Bereich angrenzt.

- 5 10. Schaltungsanordnung (120) nach Anspruch 9, d a d u r c h  
g e k e n n z e i c h n e t , dass die an den Anschlussbereich  
(72) angrenzende Seite des isolierbereichsnahen Elektrodenbe-  
reiches (34) länger ist als eine quer zu dieser Seite liegen-  
10 de Seite des isolierbereichsnahen Elektrodenbereiches (34),  
vorzugsweise mindestens doppelt so lang oder mindestens fünf  
mal so lang,

- wobei der Transistor (122) vorzugsweise eine Transistorweite  
hat, die ein mehrfaches der minimalen Strukturbreite (F)  
15 beträgt, vorzugsweise mehr als das Dreifache oder mehr als  
das Fünffache,

- oder dass eine quer zu der an den Anschlussbereich (72) an-  
grenzende Seite des isolierbereichsnahen Elektrodenbereiches  
20 (34) liegende Seite des isolierbereichsnahen Elektrodenberei-  
ches (34) länger als die an den Anschlussbereich (72) angren-  
zende Seite ist, vorzugsweise mindestens doppelt so lang oder  
mindestens fünf mal so lang,

wobei der Transistor (122) vorzugsweise eine Transistorweite  
hat, die kleiner als das Dreifache der minimalen Struktur-  
breite (F) ist, vorzugsweise kleiner als das Doppelte der  
minimalen Strukturbreite (F).

- 30 11. Schaltungsanordnung (120) nach einem der vorhergehenden  
Ansprüche, d a d u r c h g e k e n n z e i c h n e t , dass die  
Schaltungsanordnung mindestens einen Prozessor enthält, vor-  
zugsweise einen Mikroprozessor,

- 35 und/oder das der Kondensator (124) und das aktive Bauelement  
(122) eine Speicherzelle (120) bilden, insbesondere in einer  
dynamischen RAM-Speichereinheit,

und/oder dass eine Speicherzelle entweder einen Kondensator (122) und nur einen Transistor (122) oder einen Kondensator (Cs) und mehr als einen Transistor (M1 bis M3) enthält, vorzugsweise drei Transistoren (M1 bis M3).

12. Verfahren zum Herstellen einer integrierten Schaltungsanordnung (120) mit Kondensator (124), insbesondere einer Schaltungsanordnung (120) nach einem der vorhergehenden Ansprüche,

bei dem ohne Beschränkung durch die angegebene Reihenfolge die folgenden Verfahrensschritte ausgeführt werden:

15 Bereitstellen eines Substrats (10), das eine Isolierschicht (14) aus elektrisch isolierendem Material und eine Halbleiterschicht (16) enthält,

20 Strukturieren der Halbleiterschicht (16) zur Ausbildung mindestens eines Elektrodenbereiches (34) für einen Kondensator und zur Ausbildung mindestens eines aktiven Bereiches (82) für einen Transistor (122),

nach dem Strukturieren der Halbleiterschicht (16) Erzeugen mindestens einer dielektrischen Schicht (42, 44, 46),

nach dem Erzeugen der dielektrischen Schicht (42, 44, 46) Erzeugen einer Elektrodenschicht (50),

30 Ausbilden einer isolierbereichsfernen Elektrode (56) des Kondensators (124) in der Elektrodenschicht (50).

13. Verfahren nach Anspruch 12, gekennzeichnet durch die Schritte:

35

Aufbringen mindestens einer Isolierschicht (18, 20) auf die Halbleiterschicht (16) vor dem Strukturieren, vorzugsweise



30

einer Siliziumnitridschicht (18) und/oder einer Oxidschicht (20) mit einer ersten Dicke,

5 und/oder Dotieren der isolierbereichsnahen Elektrode (34),  
vorzugsweise vor dem Erzeugen der dielektrischen Schicht (42, 44, 46),

und/oder Erzeugen der dielektrischen Schicht (42, 44, 46) gleichzeitig mit einer dielektrischen Schicht am aktiven  
10 Bereich (82) des Transistors (122),

und/oder Ausbilden einer Steuerelektrode (54) des Transistors (122) gleichzeitig mit dem Ausbilden des isolierbereichsfernen Elektrodenbereiches (56).  
15

14. Verfahren nach Anspruch 12 oder 13, gekennzeichnet durch die Schritte:

20 Erzeugen einer Hilfsschicht (52) nach dem Erzeugen der Elektroden-  
schicht (50), vorzugsweise einer Hilfsschicht mit einer größeren Dicke als die Oxidschicht (18, 20),

und/oder Strukturieren des isolierbereichsfernen Elektrodenbereiches (56) und/oder einer Steuerelektrode (54) des Transistors unter Verwendung der Hilfsschicht (52) als Hartmaske.

15. Verfahren nach einem der Ansprüche 12 bis 14, gekennzeichnet durch die Schritte:

30 Aufbringen einer weiteren Hilfsschicht (60) nach dem Strukturieren einer Steuerelektrode (54) des Transistors (142),  
vorzugsweise einer Siliziumnitridschicht,

und/oder anisotropes Ätzen der weiteren Hilfsschicht (60).  
35

16. Verfahren nach einem der Ansprüche 12 bis 15, gekennzeichnet durch die Schritte:

nochmaliges Strukturieren der Isolierschicht (18, 20), wobei vorzugsweise die Dicke der Hilfsschicht (52) verringert wird und/oder die Hilfsschicht (52) aber nicht vollständig entfernt wird,

und/oder anisotropes Ätzen der weiteren Hilfsschicht (60) nach dem Strukturieren der Isolierschicht (20).

10 17. Verfahren nach einem der Ansprüche 12 bis 16, gekennzeichnet durch die Schritte:

15 Durchführen einer selektiven Epitaxie auf freiliegenden Bereichen aus Halbleitermaterial (16) nach dem Ausbilden des isolierbereichsfernen Elektrodenbereiches (56) und/oder nach dem Strukturieren einer Steuerelektrode (54) des Transistors (122),

20 und/oder Dotieren von Anschlussbereichen (70, 72) des Transistors (122) nach dem Ausbilden des isolierbereichsfernen Elektrodenbereiches (56) und/oder nach dem Strukturieren der Steuerelektrode (54) und vorzugsweise nach der Epitaxie.

18. Verfahren nach einem der Ansprüche 12 bis 17, gekennzeichnet durch die Schritte:

Entfernen der Hilfsschicht (52), vorzugsweise nach dem Strukturieren der Isolierschicht (18, 20) und/oder nach dem Durchführen der selektiven Epitaxie,

30

und/oder selektive Bildung einer Metallhalbleiterverbindung, insbesondere selektive Silizidbildung, auf der Elektroden-schicht (54) und/oder auf freiliegenden Halbleiterbereichen (16).

Zusammenfassung

Integrierte Schaltungsanordnung mit Kondensator und Herstellungsverfahren

5

Erläutert wird unter anderem eine integrierte Schaltungsanordnung (120), die einen Transistor (122), vorzugsweise einen sogenannten FinFET, und einen Kondensator (124) enthält. Die untere Elektrode des Kondensators (124) ist gemeinsam mit einem Kanalbereich des Transistors (122) in einem SOI-Substrat angeordnet. Die Schaltungsanordnung (120) ist einfach herzustellen und hat hervorragende elektronische Eigenschaften.

15

(Figur 17)

FIG 17

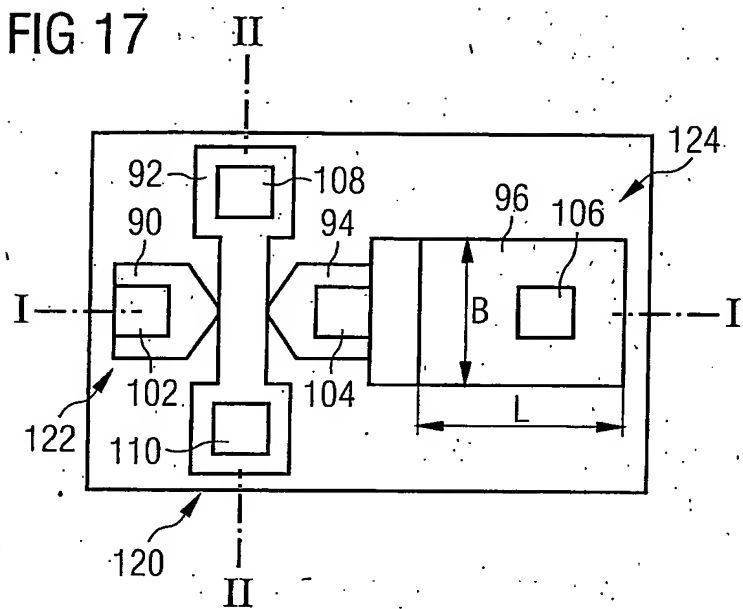


FIG 1A

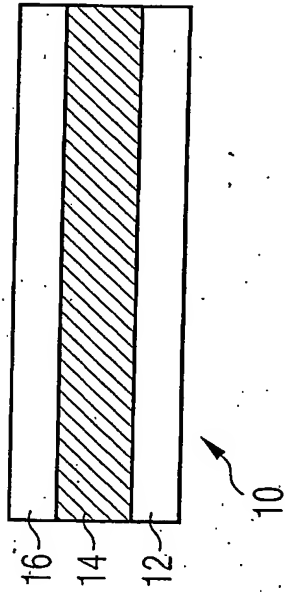


FIG 1B

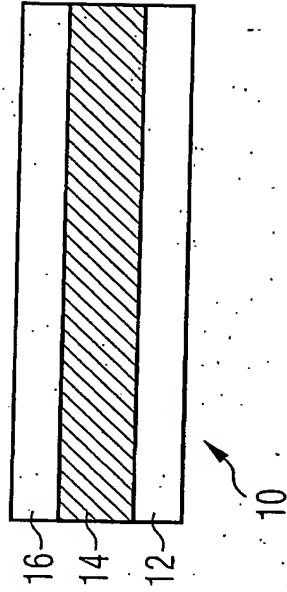


FIG 2A

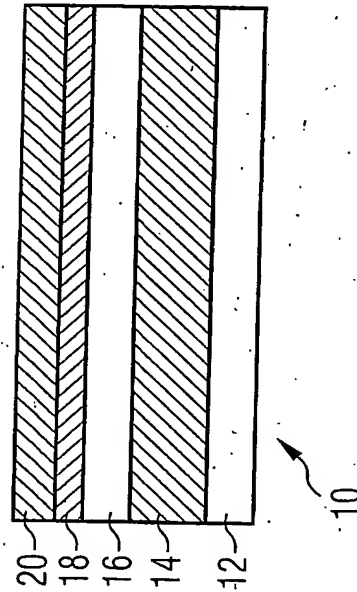


FIG 2B

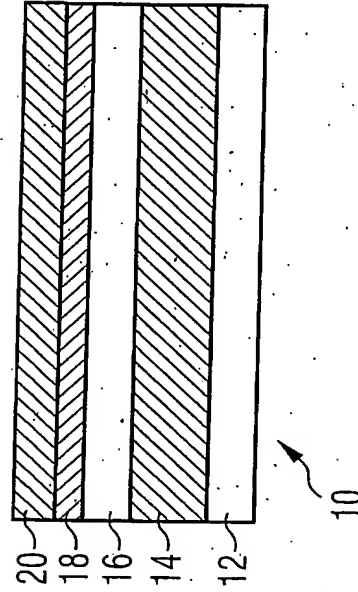


FIG 3A

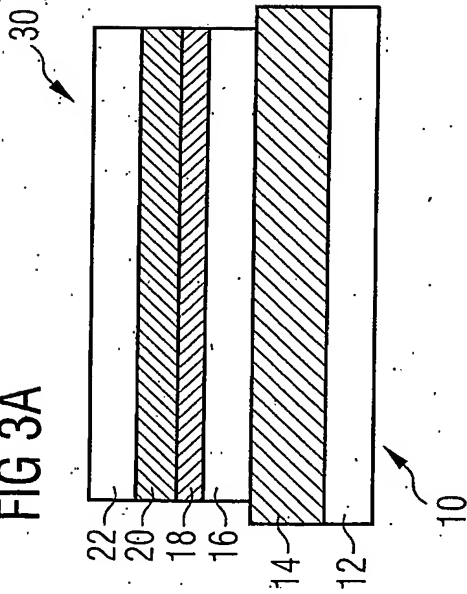


FIG 3B

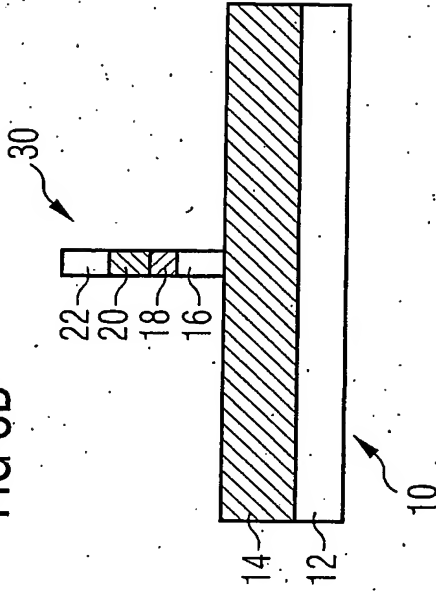


FIG 4A

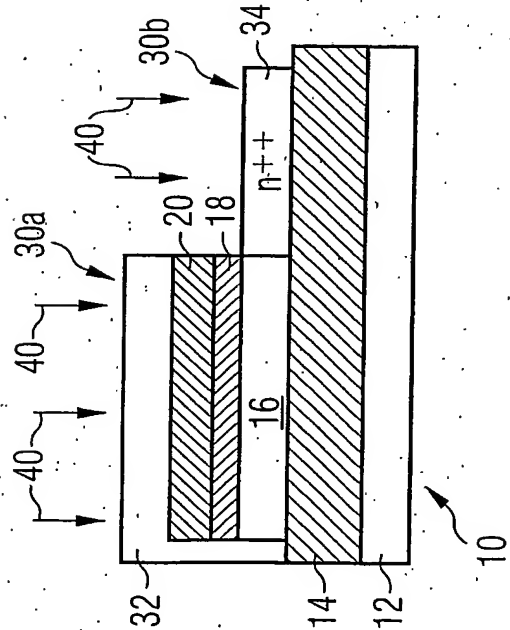
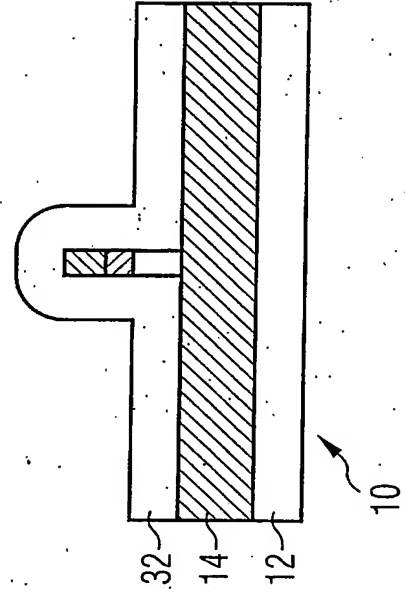
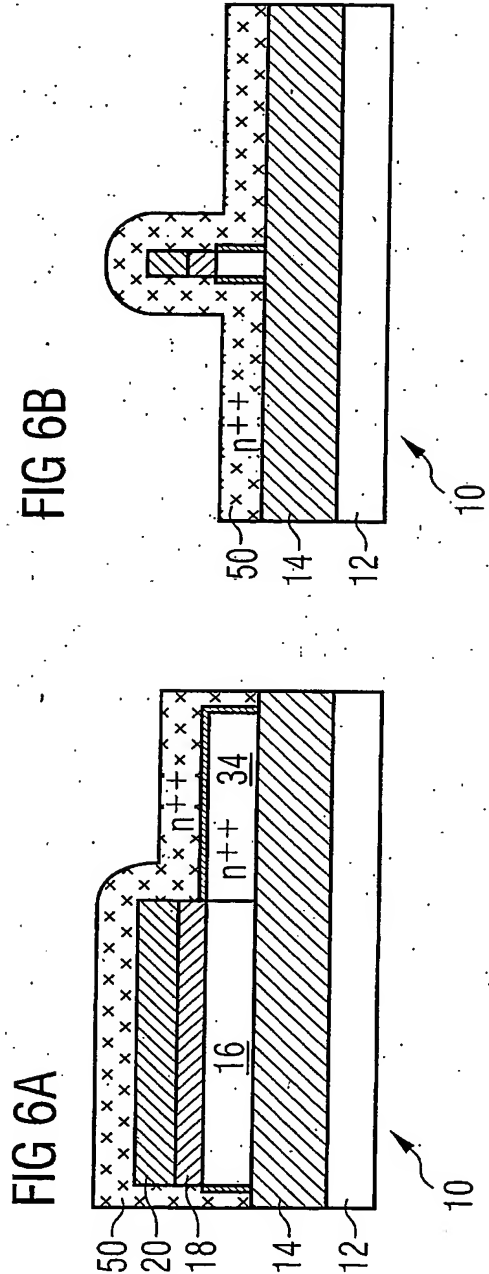
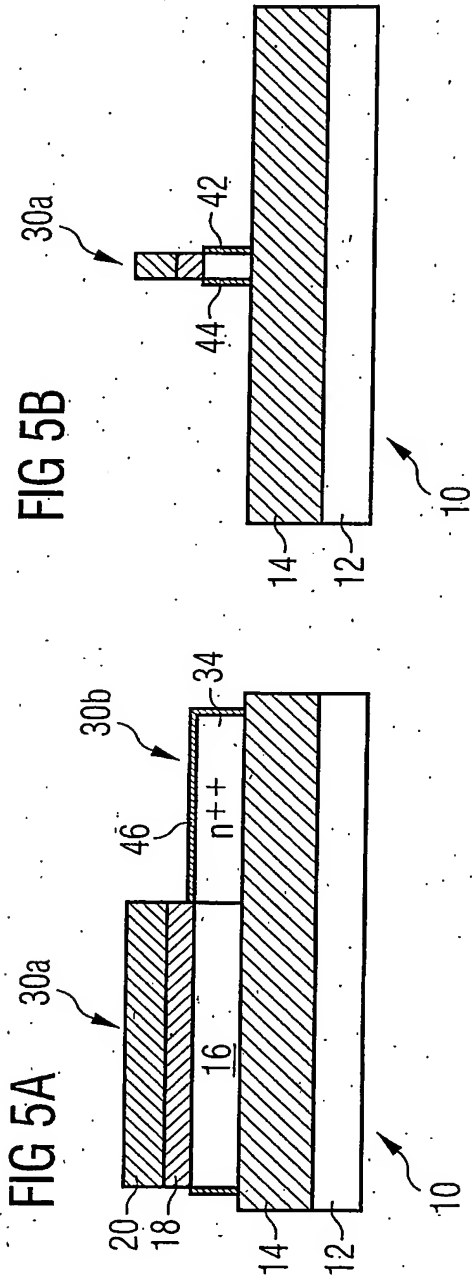


FIG 4B





42

FIG 7A

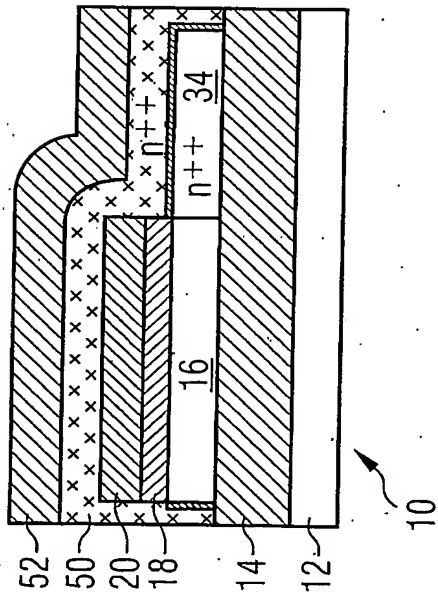


FIG 7B

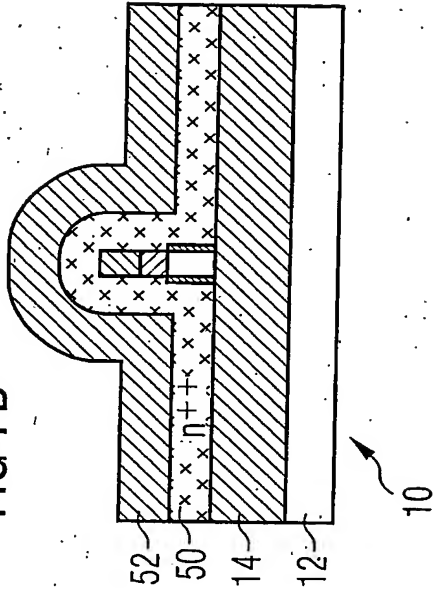


FIG 8A

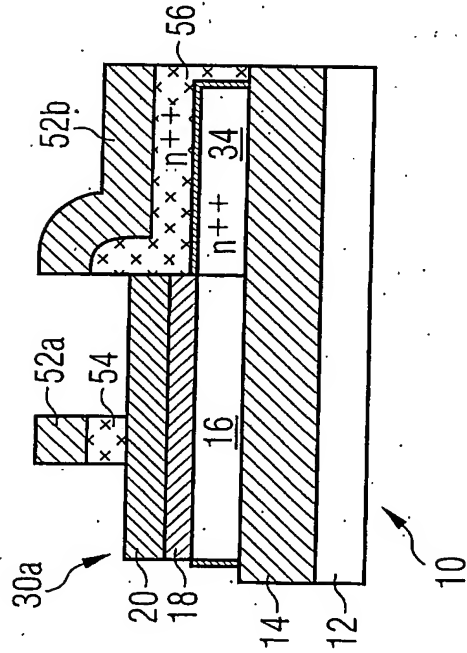
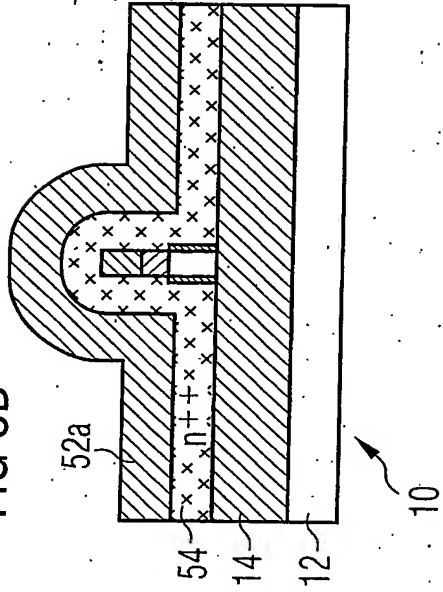


FIG 8B





65

FIG 9A

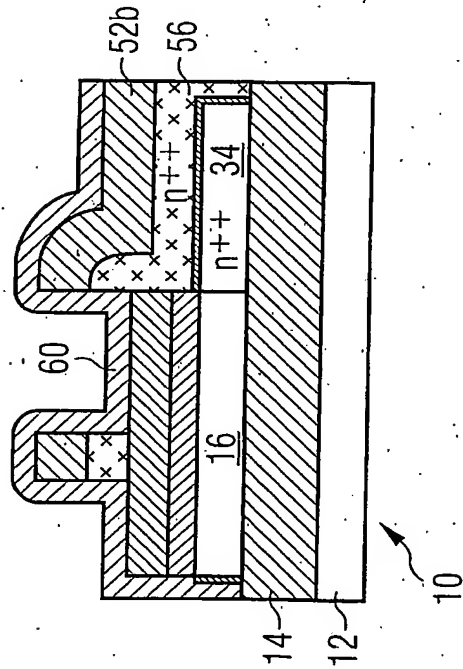


FIG 9B

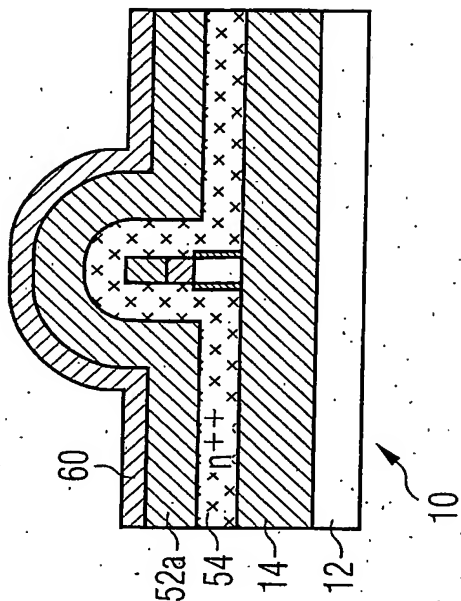


FIG 10A

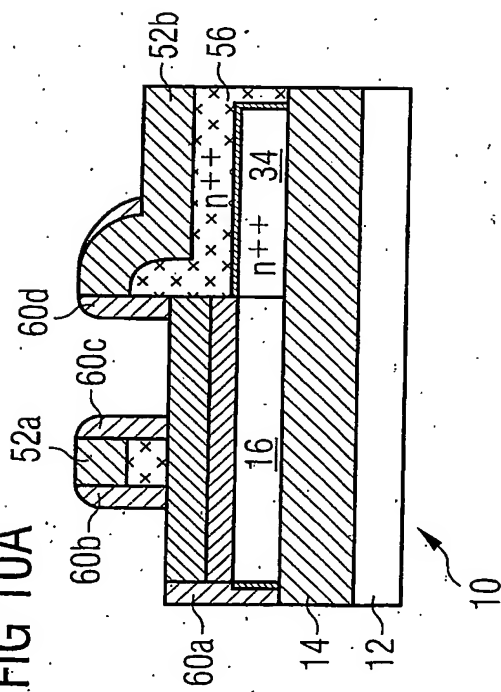


FIG 10B

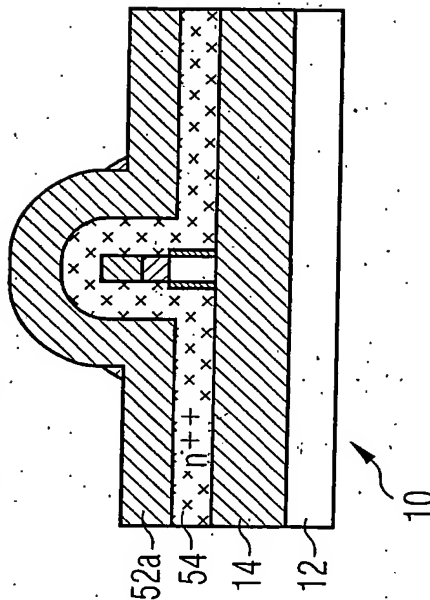


FIG 11A

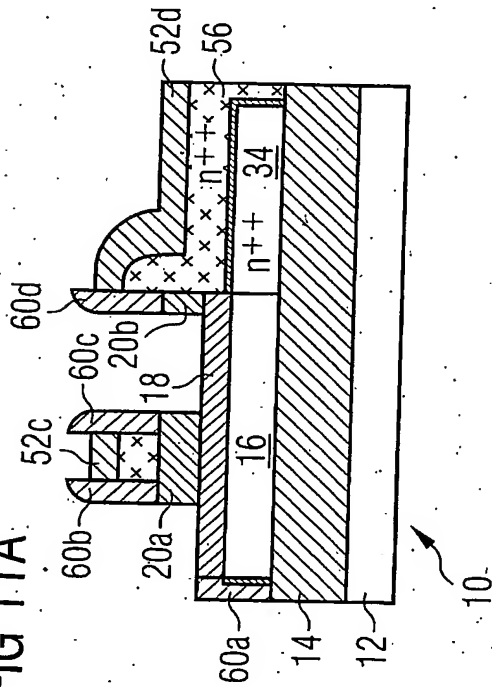


FIG 11B

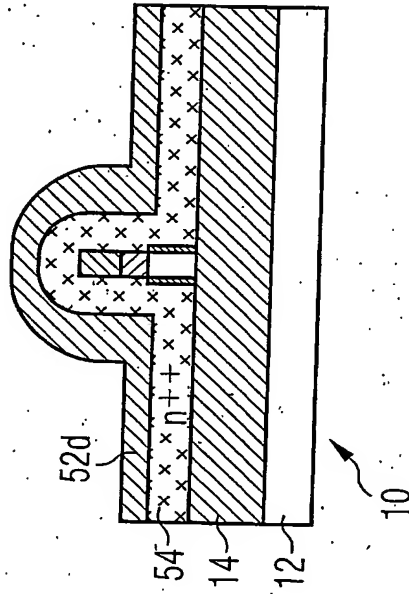


FIG 12A

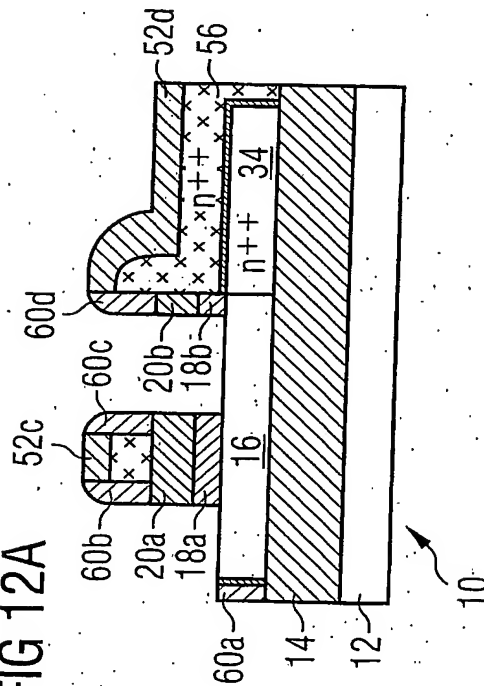
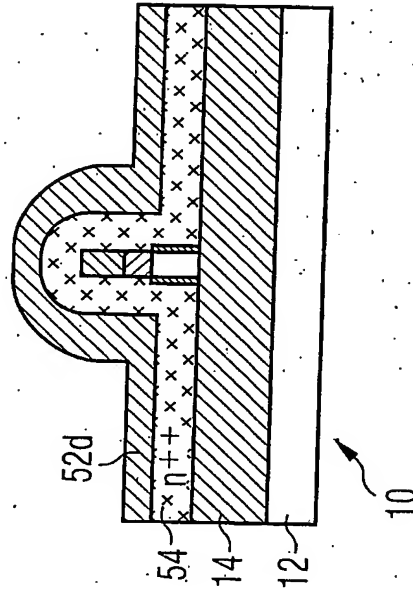


FIG 12B



44

FIG 13A

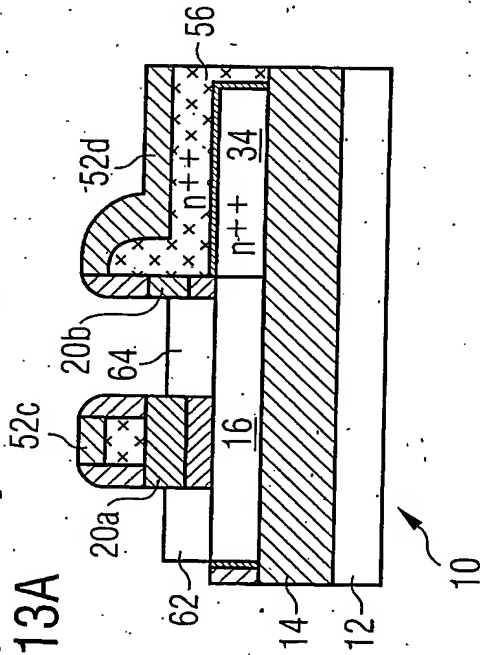


FIG 13B

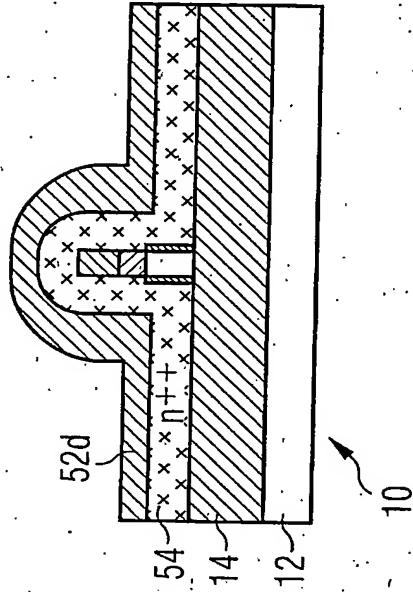


FIG 14A

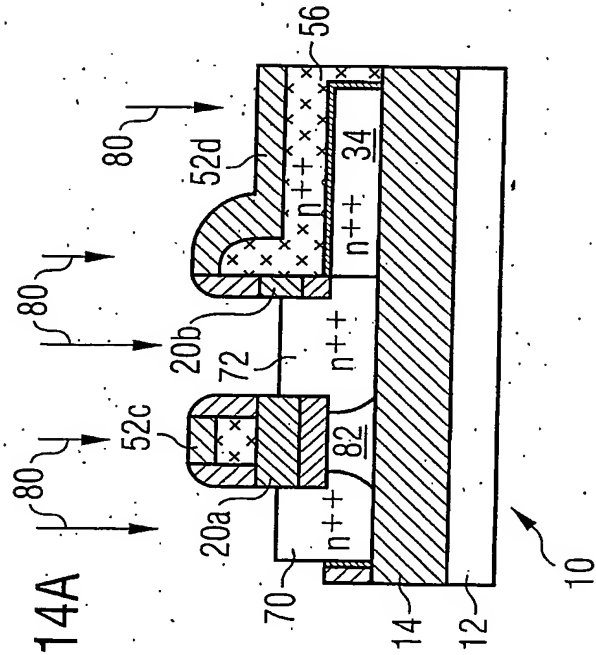


FIG 14B

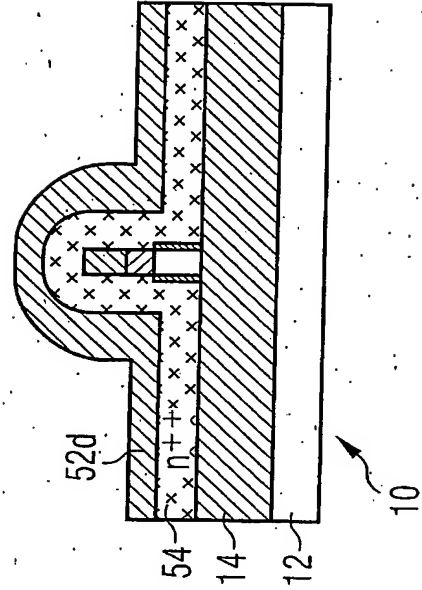


FIG 15A

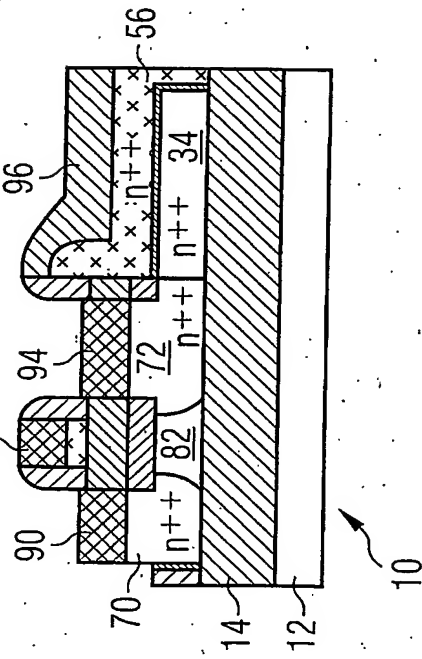


FIG 15B

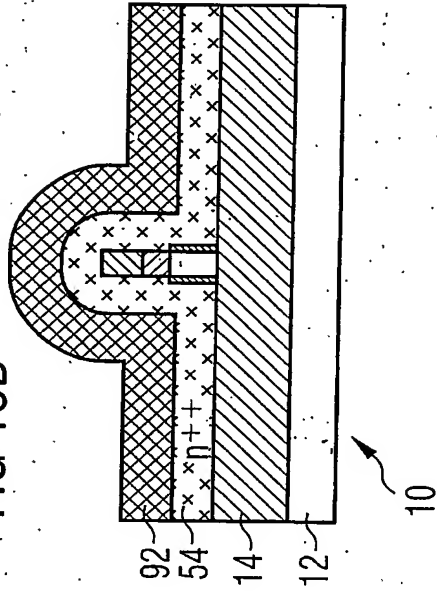


FIG 16A

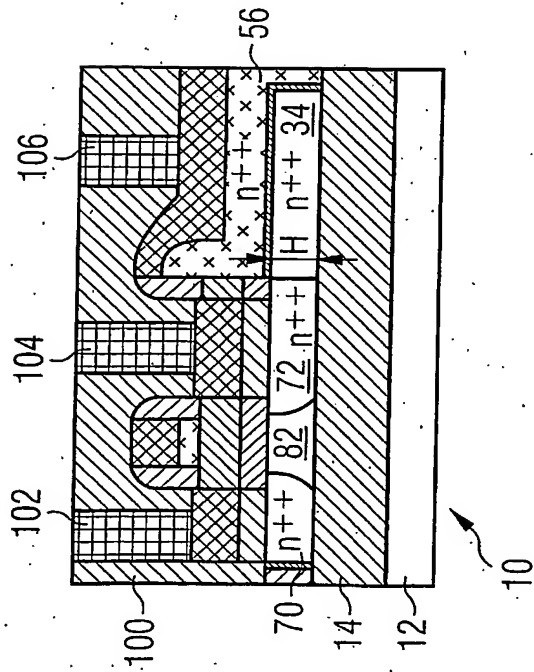


FIG 16B

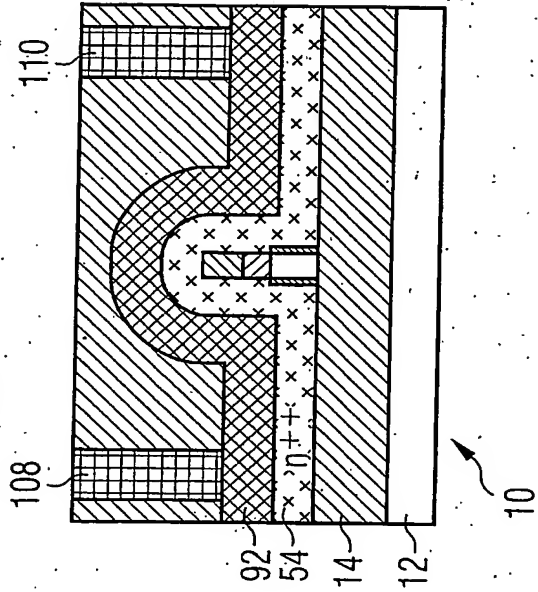


FIG 17

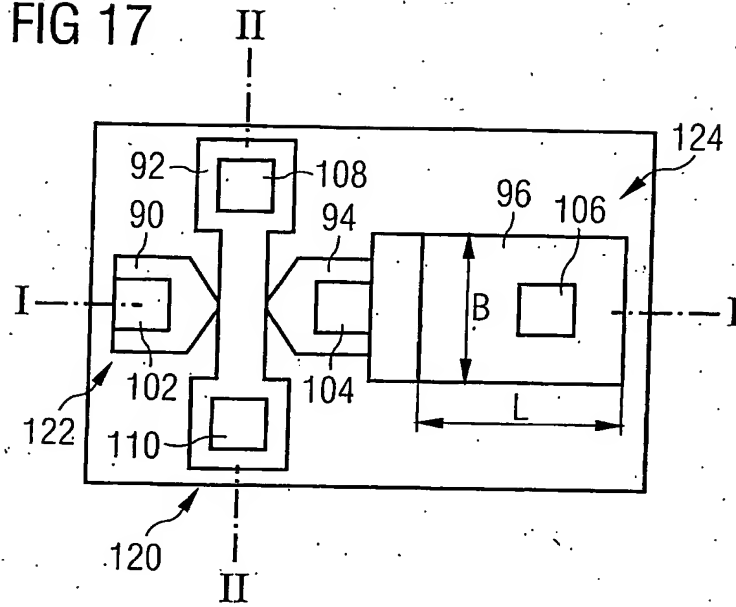
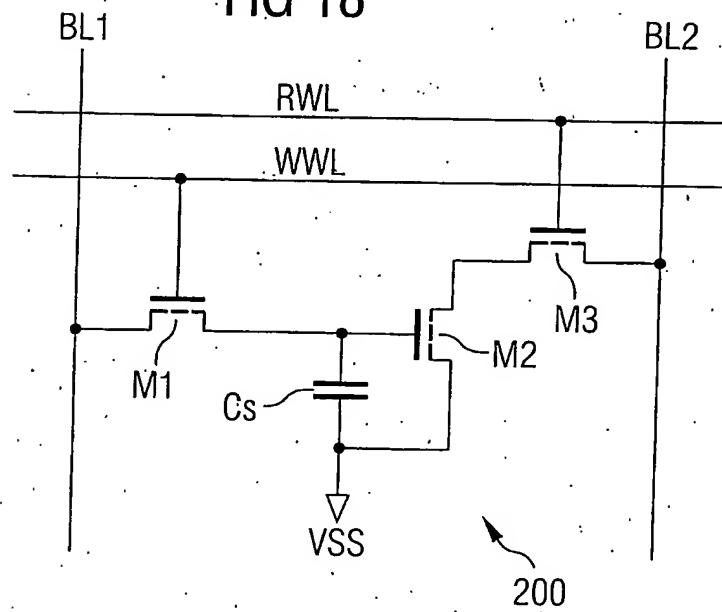


FIG 18



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**